Logotipo

Descripción generada automáticamenteDibujo en blanco y negro

Descripción generada automáticamente con confianza bajaPractica 6

# Operaciones Aritméticas Profesor: Barron Vera Jose Emanuel Materia: Fundamentos de diseño digital Grupo: 3CV6 Alumno: Cazares Cruz Jeremy Sajid Boleta: 2021630179

Imagen que contiene circuito

Descripción generada automáticamente

# Objetivo

El alumno diseñará circuitos aritméticos programando en lenguaje VHDL y cargándolo a su GAL 22V10 para verificar físicamente el resultado y la buena operación del circuito.

# Desarrollo experimental

# Medio sumador

Para el medio sumador se tiene dos entradas y dos salidas, las entradas son los bits para sumar y las salidas se tiene como el resultado de la suma y el acarreo que puede actuar como un segundo bit para comprobar que la operación se realizó de manera efectiva al sumar 1+1 que daría como resultado un 10 o bien 2 en decimal

Lo anterior dicho se puede representar mejor en la siguiente imagen la cual tiene el circuito resultante y la tabla de verdad, así como la función que deberá ser introducida en el código VHDL

Texto, Carta

Descripción generada automáticamente

figura tabla de verdad y circuito resultante

De igual manera se logra apreciar que los resultados de la tabla se pueden ver expresados como una compuerta AND y una compuerta XOR teniendo una mejor implementación del código y “optimizando” el código

Finalmente, para este primer parte experimental se asignan los pines de entrada, así como sus respectivos nombres de igual forma como ya se había comentado se tienen dos entradas y dos salidas, teniendo así que solo implementar dos líneas de código para estructura de la misma, esto no quiere decir que para todos los casos sea proporcional el número de entradas para el número de líneas usadas para el código resultante

Interfaz de usuario gráfica, Texto

Descripción generada automáticamenteA continuación, se verán lo resultados mediante la simulación:

figura código VHDL

Tabla

Descripción generada automáticamente

figura resultado 1

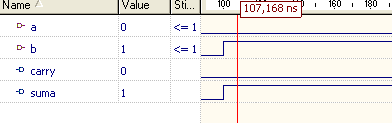


figura resultado 2

Tabla

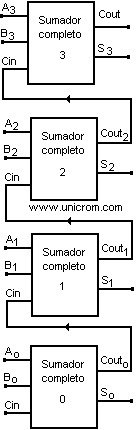
Descripción generada automáticamente con confianza media

figura resultado 3

Imagen que contiene Interfaz de usuario gráfica

Descripción generada automáticamentefigura resultado 4

# Sumador completo

Para el sumador completo se tiene la implementación de un posible acarreo de entrada ya que este tiene la funcionalidad de servir como un “modulo” de tal manera que si los acarreos se conectan se podrá hacer un sumador completo de más bits, para esta implementación o bien para el primer sumador completo se tiene un sumador de 3 bits el cual tiene un acarreo de salida y de entrada, para conectar con otro “modulo” el acarreo de salida tendrá que ir conectado al acarreo de entrada del siguiente sumador como se ve a continuación:

Como ya se había mencionado la característica para poder conectar los sumadores completos es el que los acarreos de salida se conectan al acarreo de entrada del siguiente, de esta forma se asegura de sumar el acarreo en caso de existir a la operación entre los bits de datos.

Esto sirve para en caso de necesitar de sumar más de dos datos, como se puede observar se puede sumar hasta 9 bits teniendo 4 salidas y 1 acarreo, de igual manera en este ejemplo el mayor número posible a alcanzar es el número 15 al tener solo 4 bits de salida, claro si se requiere de sumas de resultados de mayor valor solo será necesario adjuntar más sumadores completos y unirlos por los acarreos

Regresando al primer caso de un sumador de completo de 3 bits se tiene 3 entradas y dos salidas, las 3 entradas son los dos datos de suma pudiéndose ver como “A” +” B” y el posible acarreo de entrada “Cin”  
Y se tienen dos salidas las cuales son el resultado de la suma y el acarreo

A continuación, se verá el circuito resultante, la tabla de verdad y la semi implementación de VHDL

Texto, Carta

Descripción generada automáticamente

figura Tabla verdad

Como se puede observar el resultado de la tabla al simplificar mediante mapas de Karnaugh da como resultado que la suma será mediante dos compuertas XOR, esto se debe a la implementación del posible acarreo de entrada, en este caso el acarreo de entrada se toma como una variable más a sumar

A continuación, se mostrará el código resultante en VHDL:

Interfaz de usuario gráfica, Texto

Descripción generada automáticamente

figura código

A continuación, se mostrará la simulación:

Tabla

Descripción generada automáticamente

figura resultado 1

Imagen que contiene Interfaz de usuario gráfica

Descripción generada automáticamente

figura resultado 2

Tabla

Descripción generada automáticamente

figura resultado 3

Tabla

Descripción generada automáticamente

figura resultado 4

Imagen que contiene Interfaz de usuario gráfica

Descripción generada automáticamente

figura resultado 5

# Medio restador

Para el medio restador se hizo el mismo análisis de realizar la tabla de verdad y posteriormente a los resultados por columna utilizar mapas de Karnaugh para la mejor implementación en código VHDL de tal manera que la tabla de verdad resultante como el circuito son los siguientes:

Imagen que contiene Carta

Descripción generada automáticamente

figura medio restador

Al igual que en el caso de la suma se hace uso de una compuerta XOR con la diferencia de para la compuerta AND se utiliza un negador, siendo esta su mayor diferencia a los circuitos anteriores

Texto

Descripción generada automáticamenteTeniendo el código como el siguiente:

figura código

A continuación, las simulaciones realizadas:

Tabla

Descripción generada automáticamente con confianza media

figura resultado 1

Imagen que contiene Gráfico

Descripción generada automáticamente

figura resultado 2

Imagen que contiene Tabla

Descripción generada automáticamente

figura resultado 3

Tabla

Descripción generada automáticamente

figura resultado 4

# Restador completo

Al igual que su contraparte el sumador completo se tiene la implementación de un acarreo de entrada el cual puedes servir para enlazar restadores completos teniendo un restador de mayores cantidades en caso de ser necesario

Carta

Descripción generada automáticamente

figura tabla de verdad

Una vez realizada la tabla de verdad se tiene como siguiente paso el realizar el circuito resultante

Teniendo este circuito resultante el cual c es el acarreo de entrada

Diagrama

Descripción generada automáticamente con confianza media

figura circuito resultante

El código en VHDL es el siguiente:

Interfaz de usuario gráfica

Descripción generada automáticamente con confianza media

Las simulaciones son las siguientes:

Tabla

Descripción generada automáticamente

figura resultado 1

Tabla

Descripción generada automáticamente con confianza baja

figura resultado 2

Imagen que contiene Tabla

Descripción generada automáticamente

figura resultado 3

Gráfico

Descripción generada automáticamente

figura resultado 4

Tabla

Descripción generada automáticamente

figura resultado 5

# Sumador de 4 bits

Para la realización del circuito sumador de 4 bits se tuve que usar la implementación port map para conectar entre si de tal manera que se tiene algo como lo siguiente

Texto

Descripción generada automáticamente

figura entidad

Se declararon pines de entrada y salida

Texto

Descripción generada automáticamente con confianza baja

figura función

Y la función se tiene la siguiente, al momento de yo desconocer como usar la función port map

Texto

Descripción generada automáticamente

figura port map correcto

Teniendo una implementación correcta del port map sería la anterior, se debe utilizar debido a que los sumadores completos trabajan como “módulos” de tal manera que port map es la forma en que diferentes elementos de un mismo código se pueden comunicar

# Conclusión

Con ayuda de la practica se pudo observar la forma de la implementación de sumadores y restadores, así como a forma de mediante sumadores/restadores completos se tengan sumadores/restadores de mayor valor tal como el caso de un sumador completo de 4 bits

# Referencias

*VHDL: uniendo circuitos, un sumador completo de 4 bits •*. (2019, 8 agosto). JnjSite.com. https://jnjsite.com/vhdl-uniendo-circuitos-un-sumador-completo-de-4-bits/